

ADuC812

ХАРАКТЕРИСТИКИ

АНАЛОГОВЫЙ ВВОД-ВЫВОД

8-Канальный прецизионный 12-бит АЦП
 Встроенный 40ppm/°C ИОН
 Высокая скорость выборок 200К/сек
 Два 12-битных ЦАПа (выход - напряжение)
 Внутренний температурный сенсор

ПАМЯТЬ

8КБ FLASH памяти программ
 640Б FLASH памяти данных
 Внутренний источник программирования «зарядовый насос» (внешний не требуется)
 256Б внутренней памяти данных
 16МБ адресного пространства внешней памяти данных

8051 – СОВМЕСТИМОЕ ЯДРО

12МГц номинальная частота (16МГц - максимальная)
 Три 16-битных счетчика - таймера
 32 Программируемых порта в - в
 Порт с высоким током - Порт3
 Девять источников прерываний, 2 уровня приоритета

ПИТАНИЕ

Специфицирован для 3В и 5В работы
 Режимы: нормальный, холостой и дежурный

ВСТРОЕННАЯ ПЕРИФЕРИЯ

Последовательный UART
 2-Проводной (I2C) и SPI
 Охранный таймер (WDT)
 Монитор источника питания

ПРИЛОЖЕНИЯ

Интеллектуальные сенсоры (в соответствие IEEE 1451.2)
 Батарейные системы (портативные РС, инструмент, Мониторы)
 Системы слежения
 Системы сбора информации, коммуникационные системы

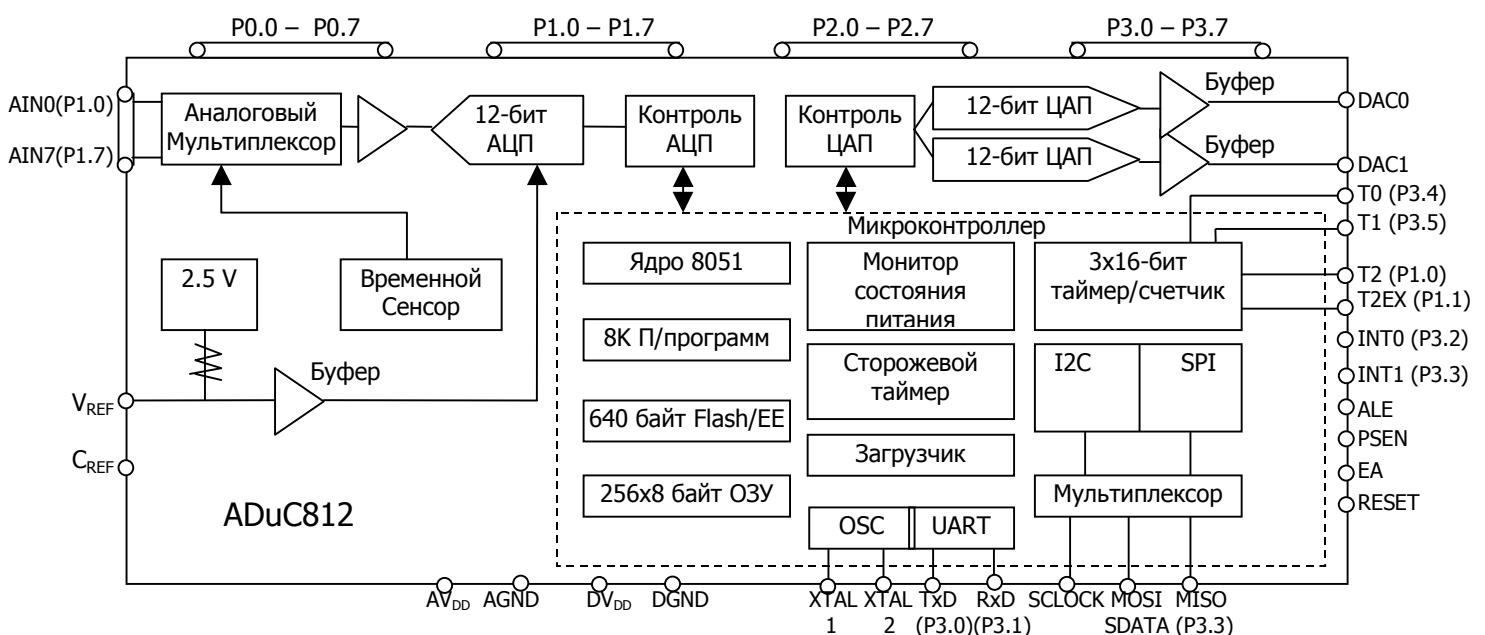
ОБЩЕЕ ОПИСАНИЕ

ADuC812 - Интегральная 12-битная система сбора информации, включающая в себя прецизионный многоканальный АЦП с самокалибровкой, два 12-битных ЦАПа и программируемое 8-битное микропроцессорное ядро (совместимое с 8051) (MCU). MCU поддерживается внутренними 8К FLASH ЭРПЗУ программ, 640Б ЭРПЗУ памяти данных и 256Б статической памяти данных с произвольной выборкой (RAM).

MCU поддерживает следующие дополнительные функции: Охранный Таймер, Монитор Питания и канал прямого доступа для АЦП. Для мультипроцессорного обмена и расширения в-в, имеются 32 программируемых в-в линии, I2C, SPI и стандартный UART интерфейсы.

Для гибкого управления в приложениях с низким потреблением в MCU и аналоговой части предусмотрены 3 режима работы: нормальный, холостой и дежурный. Продукт специфицирован для 3В и 5В работы в промышленном диапазоне температур и поставляется 52-выводном пластмассовом корпусе (PQF).

ФУНКЦИОНАЛЬНАЯ БЛОК-СХЕМА



ADuC812

ADuC812-Спецификация^{1,2} (AVdd=+3В или +5В +/-10%, Vref=2.5В внутренний ИОН, MCLCIN=16.0МГц, DAC Vout Load to AGND; RI=10К, CI=100пф. Все спецификации приводятся для Ta=от Tmin до Tmax, если не указано особо.)

Параметр	ADuC812 Vdd=		Единицы	Условия/примечания
	5В	3В		
АЦП - СПЕЦИФИКАЦИЯ КАНАЛОВ <u>Точность по постоянному току^{3,4}</u> Разрешение Интегральная нелинейность Дифференциальная нелинейность	12 ± 1/2 ± 1/5 ± 1/5 ± 1	12 ± 1/2 ± 1/5 ± 1/5 ± 1	Биты LSB средняя LSB максим. LSB средняя LSB средняя	Fsampl=100КГц Fsampl=100КГц Fsampl=200КГц Fsampl=100КГц Отсутствие пропуска кодов при 5В гарантируется
КАЛИБРОВОЧНЫЕ ОШИБКИ КОНЕЧНЫХ ТОЧЕК ШКАЛЫ ^{5,6} Ошибка смещения Согласованность ошибки смещения (по каналам) Ошибка усиления Согласованность ошибки усиления	± 5 ± 1 1 ± 6 ± 1 1.5	± 2 1 ± 2 1.5	LSB максим. LSB средняя LSB средняя LSB максим. LSB средняя LSB средняя	
ПОЛЬЗОВАТЕЛЬСКАЯ СИСТЕМНАЯ КАЛИБРОВКА ⁷ Диапазон калибровки смещения Диапазон калибровки усиления	± 5 ± 2.5	± 5 ± 2.5	% от Vref средн. % от Vref средн.	
ДИНАМИЧЕСКОЕ РАЗРЕШЕНИЕ Отношение сигнал-шум (SNR) ⁸ Полный коэффициент гармоник (THD) Пиковая гармоника или шумовая помеха	70 -78 -78	70 -78 -78	дБ среднее дБ средний дБ средняя	Fin=10КГц Синус. Сигнал Fsampl=100КГц
АНАЛОГОВЫЙ ВХОД Диапазон входных напряжений Входной ток Входная емкость	0 – Vref ± 10 ± 1 20	0 – Vref ± 1 20	Вольты мкА максим. мкА средний. пФ максим.	
ТЕМПЕРАТУРНЫЙ СЕНСОР ⁹ Выходное напряжение (25 °C) Температурный коэффициент (ТС)	600 -3.0	600 -3.0	мВ среднее мВ/°C средний	Измеряется встроенным АЦП с точностью +/-0.5LSB
ЦАП - СПЕЦИФИКАЦИЯ КАНАЛОВ <u>Точность по постоянному току¹⁰</u> Разрешение Относительная точность Дифференциальная нелинейность Ошибка смещения Ошибка шкалы Согласование шкал	12 ± 3 ± 0.5 ± 50 ± 25 ± 25 ± 10 ± 0.5	12 ± 3 ± 1 ± 25 ± 25 ± 10 ± 0.5	Биты LSB средняя LSB средняя мВ максим. мВ средняя мВ максим. мВ средняя % среднее	Гарантируется 12-битная монотонность % Полной шкалы по ЦАП1
АНАЛОГОВЫЕ ВЫХОДЫ Диапазон напряжений 0 Диапазон напряжений 1 Величина резистивной нагрузки Величина емкостной нагрузки Выходной импеданс Isink	0 – Vref 0 – Vdd 10 100 0.5 50	0 – Vref 0 – Vdd 10 100 0.5 50	Вольты средний Вольты средний КОм средняя пФ средняя Ом средний мкА средний	

ADuC812

ЦАП - ХАРАКТЕРИСТИКИ ПО ПЕРЕМЕННОМУ ТОКУ Время установления выходного напряжения	15	15	мкс среднее	Время установления максим. сигнала с ошибкой не превосходящей 0.5 LSB. При изменении входного кода с переносом единицы в старший разряд
Энергетика импульсной помехи из цифровой цепи	10	10	нВ сек средняя	
ВХОДЫ/ВЫХОДЫ Диапазон входных напряжений Входной импеданс Величина выходного напряжения Температурный коэффициент выходного напряжения	2.3/Vdd 150 2.45/ 2.55 2.5 40	2.3/Vdd 150 2.5 40	Вольты мин/макс КОм средний Вольты мин/макс Вольты средняя ppm/°C	
РАБОЧИЕ ХАРАКТЕРИСТИКИ ЭРПЗУ (FLASH) ^{11, 12} Допустимое число циклов программирования Сохранность данных	10000 50000 10	50000	Циклов минимум Циклов минимум Лет минимум	
ОХРАННЫЙ ТАЙМЕР (WDT) Частота генерации	64	64	КГц средняя	
ХАРАКТЕРИСТИКИ МОНИТОРА ПИТАНИЯ (PSM) Точность установки порога срабатывания	± 2.5 ± 1.0	± 1.0	% от номинального значения выбранного порога максим. % от номинального значения выбранного порога в среднем	
ЦИФРОВЫЕ ВХОДЫ Вх. напряжение высокого уровня Вх. напряжение низкого уровня Входной ток утечки (Порт 0, EA) Входной ток Лог.1 (Все цифровые входы) Входной ток Лог.0 (Порт 1,2, 3) Ток при переходе Лог. 1-0 (Порт 1, 2, 3) Входная емкость	2.4 0.8 ± 10 ± 1 ± 10 ± 1 -80 -40 -700 -400 10	± 1 ± 1 -40 -400 10	Вольты мин. Вольты макс. мкА макс. мкА средний мкА макс. мкА средний мкА макс. мкА средний мкА макс. мкА средний пФ средняя	Vin=0В или Vdd Vin=0В или Vdd Vin=Vdd Vin=Vdd Vil=450мВ Vil=2В Vil=2В
ЦИФРОВЫЕ ВЫХОДЫ Выходное напряжение высокого уровня (Voh) Выходное напряжение низкого уровня (Vol) ALE, PSEN, Порт 0, 2 Порт 3 Ток утечки в «плавающем состоянии» Выходная емкость в «плавающем состоянии»	2.4 4.0 0.4 0.2 0.4 0.2 ± 10 ± 5 10	2.6 0.2 0.2 ± 5 ± 5 10	Вольты мин. Вольты среднее Вольты макс. Вольты среднее Вольты макс. Вольты среднее мкА макс. мкА средний пФ средняя	Vdd=4.5В - 5.5В, Isrc=80мкА Vdd=2.7В - 3.3В, Isrc=20мкА Isink=1.6мА Isink=1.6мА Isink=8мА Isink=8мА
ИСТОЧНИК ПИТАНИЯ ^{13, 14, 15} Нормальный режим ¹⁶ Холостой режим Дежурный режим ¹⁷	42 32 26 8 25 18 15 7 50 5	16 12 3 17 6 2 50 5	мА макс. мА средний мА средний мА средний мА макс. мА средний мА средний мА средний мА макс. мА средний	MCLKIN=16МГц MCLKIN=16МГц MCLKIN=12МГц MCLKIN=1МГц MCLKIN=16МГц MCLKIN=16МГц MCLKIN=12МГц MCLKIN=1МГц

ПРИМЕЧАНИЯ:

¹Спецификации используются после проведения калибровки.

²Температурный диапазон от -40 до +85°C.

³Линейность гарантирована при нормальной работе МП ядра.

⁴Линейность может ухудшаться при программировании или стирании 640Б ЭРПЗУ во время выполнения А-Ц преобразования из-за работы схемы зарядного насоса.

⁵Измерено при производстве при Vdd=5В после выполнения процедуры калибровки и только при +25°C.

⁶Пользователю возможно потребуются выполнить процедуру калибровки для получения этих спецификаций, которые зависят от конфигурации.

⁷Диапазон коррекции при калибровке смещения и усиления определяется как диапазон напряжений, который ADuC812 может скомпенсировать при выполнении системной калибровки.

⁸Вычисление коэффициента шума (SNR) учитывают шумовую компоненту и искажения.

⁹Температурный сенсор измеряет непосредственно температуру кристалла, из этих результатов можно вычислить температуру окружающей среды.

¹⁰Линейность ЦАП вычисляется с учетом:

сокращенного диапазона кодов от 48 до 4095, для диапазона от 0 до Vref

сокращенного диапазона кодов от 48 до 3995, для диапазона от 0 до Vdd

Нагрузка ЦАПа = 10КОм и 50пФ.

¹¹Рабочие спецификации FLASH ЭРПЗУ такие же как и в JEDEC спецификации A103 (Сохранность данных) и в JEDEC педварительной спецификации A117 (Допустимое число циклов программирования).

¹²Допустимое число циклов программирования оценивается в следующих условиях:

Режим	Байтовое программирование, Циклическое стирание страницы
Циклические данные	00(H) до FF(H)
Время стирания	20мсек
Время программирования	100мксек

¹³Токопотребление (Idd) при других значений тактовой частоты MCLKIN определяется выражениями:

Нормальный режим (Vdd=5В) $I_{dd}=(1.6*MCLKIN)+6$

Нормальный режим (Vdd=3В) $I_{dd}=(0.8*MCLKIN)+3$

Холостй режим (Vdd=5В) $I_{dd}=(0.75*MCLKIN)+6$

Холостй режим (Vdd=3В) $I_{dd}=(0.25*MCLKIN)+3$

Где MCLKIN выражается в МГц, а результат Idd в мА.

¹⁴Idd Ток выражается суммой аналогового и цифрового питания при работе Микроконвертера в Нормальном Режиме.

¹⁵Idd не измеряется в циклах стирания или программирования ЭРПЗУ; для этих циклов Idd обычно увеличивается на 10мА.

¹⁶Аналоговая часть Idd=2мА (в среднем) при нормальной работе (внутренний ИОН, АЦП и ЦАП включены).

¹⁷EA=Порт0=DVdd, XTAL1(вход), привязанный к DVdd, во время этих измерений.

Средние (Typical) спецификации не проверяются, но подтверждаются данными при выпуске изделий. Спецификации изменяются без объявления. За дополнительной информацией обращайтесь к Справочнику Пользователя, Краткому Справочнику, Справочнику по Применению и Листу Ошибок по <http://www.analog.com>

ADuC812

Предельно допустимые параметры *

(Ta = +25 °C, если не оговаривается особо)

AVdd к DVdd	± 0.3 В
AGND к DGND	± 0.3 В
DVdd к DGND, AVdd к AGND	-0.3 В ..+7 В
Цифровой вход к DGND	-0.3 В, DVdd + 0.3 В
Цифровой выход к DGND	-0.3 В, DVdd + 0.3 В
Vref к AGND	-0.3 В, Avdd + 0.3 В
Аналоговые входы к AGND	-0.3 В, Avdd + 0.3 В
Индустриальный диапазон рабочих температур (версия В)	-40°C .. +85°C
Температура хранения	-65°C .. +150°C
Температура перехода	+150°C
Qja Температурное сопротивление	+90°C/Вт
Температура выводов при пайке:	
В паровой фазе (60сек)	+215°C
Инфракрасная (15сек)	+220°C

Расположение контактов ADuC812

Ном. конт	Наимен. контакта	Ном. конт	Наимен. контакта
1	P1.0/ADC0/T2	27	SDATA/MOSI
2	P1.1/ADC1/T2EX	28	P2.0/A8/A16
3	P1.2/ADC2	29	P2.1/A9/A17
4	P1.3/ADC3	30	P2.2/A10/A18
5	AVdd	31	P2.3/A11/A19
6	AGND	32	XTAL1 (in)
7	Cref	33	XTAL2 (out)
8	Vref	34	DVdd
9	DAC0	35	DGND
10	DAC1	36	P2.4/A12/A20
11	P1.4/ADC4	37	P2.5/A13/A21
12	P1.5/ADC5/SS/	38	P2.6/A14/A22
13	P1.6/ADC6	39	P2.7/A15/A23
14	P1.7/ADC7	40	EA/Vpp
15	RESET	41	PSEN/
16	P3.0/RxD	42	ALE
17	P3.1/TxD	43	P0.0/AD0
18	P3.2/INT0/	44	P0.1/AD1
19	P3.3/INT1//MISO	45	P0.2/AD2
20	DVdd	46	P0.3/AD3
21	DGND	47	DGND
22	P3.4/T0	48	DVdd
23	P3.5/T1/CONVST/	49	P0.4/AD4
24	P3.6/WR/	50	P0.5/AD5
25	P3.7/RD/	51	P0.6/AD6
26	SCLOCK	52	P0.7/AD7

* Превышение указанных выше предельных параметров может вызвать повреждение устройства. Эксплуатация устройства при предельных значениях параметров может повлиять на его надежность.

СПРАВКА ДЛЯ ЗАКАЗА

Модель	Температурный диапазон	Описание корпуса	Тип корпуса
ADuC812BS	-40°C .. +85°C	52-контактный пластмассовый квадратный плоский (PQF)	S-52

Система разработки программного обеспечения QuickStart™

Eval-ADuC812QS

ВНИМАНИЕ !

Устройство чувствительно к электростатическим разрядам (ESD). Разряд до 4000В может произойти неконтролируемым образом при простом прикосновении. Не смотря на то, что устройство имеет цепи защиты, для сохранения его работоспособности следует предпринять соответствующие меры.

ОПИСАНИЕ КОНТАКТОВ

Мнемоника	Тип	Функция
DVdd	P	Положительное номинальное цифровое питание +3В или +5В.
AVdd	P	Положительное номинальное аналоговое питание +3В или +5В.
Cref	I	Блокирующий конденсатор для внутреннего ИОН. 0.1мкФ на AGND
Vref	I/O	ИОН вход/выход. Этот контакт внутри соединен через последовательный резистор с ИОН для АЦП. Номинальное напряжение ИОН 2.5В и появляется на контакте (как только АЦП и ЦАП разрешены). Внутренний ИОН подавляется подключением к этому контакту внешнего источника.
AGND	G	Аналоговая земля. Общая точка аналоговых цепей.
P1.0-P1.7	I	Порт1 только на ввод. Порт1 по умолчанию настраивается на ввод аналоговых сигналов, для конфигурирования контактов на цифровой ввод следует записать 0 соответствующий бит порта. Порт1 - многофункционален и перечисленные функции выполняет.
ADC0-ADC7	I	Аналоговые входы. 8 однофазных входов. Выбор канала осуществляется через регистр специального назначения (SFR) ADCCON2.
T2	I	Цифровой вход Таймера/Счетчика2. Когда разрешен Счетчик2 инкрементируется по перепаду 1-0 на входе T2.
T2EX	I	Цифровой вход. Для триггера Захвата/Перезагрузки Счетчика2, так же работает как вход управления направлением счета Счетчика2.
SS/	I	Выбор ведомого (Slave Select). Для синхронного интерфейса (SPI).
SDATA	I/O	Выбираемый пользователем ввод/вывод для I2C и SPI.
SCLOCK	I/O	Синхронизация для I2C и SPI.
MOSI	I/O	Для SPI Ведущий Выход/Ведомый Вход.
MISO	I/O	Для SPI Ведущий Вход/Ведомый Выход.
DAC0	O	Выходное напряжение с ЦАП0.
DAC1	O	Выходное напряжение с ЦАП1.
RESET	I	Цифровой вход. Высокий уровень сигнала на этом контакте в течение 24 периодов тактовой частоты при работающем осцилляторе вызывает выполнение устройством сброса.
P3.0-P3.7	I/O	Двунаправленный Порт3 с внутренними, подтягивающими к питанию резисторами. Контакты Порты3, с записанными в них 1 подтянуты вверх и могут использоваться так же как входы. При использовании контактов в качестве входов, следует иметь ввиду, что они дают ток во внешнюю цепь. Контакты Порты3 - мультиплексны. Вход приемника асинхронного последовательного интерфейса (UART) или Вод/Вывод данных для синхронного.
RxD	I/O	Выход передатчика асинхронного последовательного интерфейса (UART) или Выход синхронизации для синхронного.
TxD	O	Вход внешнего прерывания 0, программируется по перепаду/уровню; устанавливается один из 2-х уровней приоритета. Контакт может использоваться как строб управления для Таймера0.
INT0/	I	Вход внешнего прерывания 1, программируется по перепаду/уровню; устанавливается один из 2-х уровней приоритета. Контакт может использоваться как строб управления для Таймера1.
INT1/	I	Вход Таймера/Счетчика0.
T0	I	Вход Таймера/Счетчика1.
T1	I	Вход Таймера/Счетчика1.
CONVST/	I	Вход Запуска Преобразования АЦП (активный низкий уровень) при разрешенном внешнем запуске. Переход 0-1 переводит схему в режим хранения и запускает цикл преобразования.
WR/	O	Выход сигнала управления Записью. Защелкивает байт данных из Порты0 во внешнюю память данных.
RD/	O	Выход сигнала управления Чтением. Разрешает ввод данных из внешней памяти в Порты0.
XTAL2	O	Инвертирующий выход генераторного усилителя.
XTAL1	I	Вход усилителя и вход доступа к внутренним цепям генератора.
DGND	G	Цифровая земля. Общая точка цифровых цепей.
P2.0-P2.7 (A8-A15) (A16-A23)	I/O	Двунаправленный Порт2 с внутренними, подтягивающими к питанию резисторами. Контакты Порты2, с записанными в них 1 подтянуты вверх и могут использоваться так же как входы. При использовании контактов в качестве входов, следует иметь ввиду, что они дают ток во внешнюю цепь. При выборке памяти программ Порт2 содержит старший байт адреса, при обращении к памяти данных порт выдает средний и старший байты 24-разрядного адресного пространства.

PSEN/	O	Выход stroba разрешения внешней памяти программ. Является сигналом управления внешней памяти программ. Активен в течение 6 периодов тактового генератора, исключая время доступа к внешней памяти данных. Контакт находится в состоянии Лог.1 при работе с внутренней памятью программ. Контакт можно использовать для разрешения режима последовательной загрузки в ЭРПЗУ, для этого контакт подключается через последовательный резистор к земле на время включения питания или генерации сигнала RESET/.
ALE	O	Выход stroba записи адреса. Используется для защелкивания младшего байта адреса (при 24-битном пространстве - среднего байта адреса) при обращении к внешней памяти. Активен дважды в одном машинном цикле, исключая обращение к внутренней памяти данных.
EA/	I	Вход разрешения доступа к внешней памяти программ. Если =1, выборка производится из внутренней памяти 0000H .. 1FFFH, если=0, то все инструкции выбираются из внешней памяти.
P0.0-P0.7 (A0-A7)	I/O	Двунаправленный Порт0 с открытым истоком. Контакты порта с записанными в них 1 являются плавающими и могут быть высокоимпедансными входами. При обращении к внешней памяти программ или данных Порт0 мультиплексирован магистралями младшего байта адреса и данных. При такой операции порт подтянут внутренним образом при наличии в нем 1.

ТЕРМИНОЛОГИЯ

Спецификации АЦП

Интегральная нелинейность

Представляет собой максимальное отклонение любого кода от прямой линии, проведенной через крайние точки передаточной функции АЦП. Крайними точками являются: нулевая - на 0.5LSB ниже точки появления первого кода и последняя - на 0.5LSB выше граничного кода шкалы.

Дифференциальная нелинейность

Представляет собой разницу между измеренной и идеальной шириной 1 кванта (1 LSB) АЦП.

Ошибка смещения

Представляет собой отклонение момента первичной смены кода с (000H) до (001H) от идеального значения т.е. +0.5LSB.

Ошибка полной шкалы

Представляет собой отклонение момента последней смены кода от идеального входного напряжения, соответствующего (полной шкале - 1.5LSB) после компенсации ошибки смещения.

Отношение сигнал/шум (шум квантования)

Представляет собой измеренное отношение сигнала к шуму на выходе АЦП. Сигнал - среднеквадратичный выходной сигнал с АЦП. Шум - среднеквадратичная сумма составляющих в полосе до ($F_s/2$ - половина частоты выборки), исключая постоянную составляющую. Отношение зависит от величины квантования в процессе преобразования сигнала. Чем больше число квантов, тем меньше шум квантования.

Для идеального АЦП с синусоидальным сигналом на входе:

$SNR=(6.02*N + 1.76)$ (дБ) N-число разрядов. Таким образом, для 12 разрядного АЦП $SNR=74$ дБ.

Коэффициент гармоник

Представляет собой отношение суммы среднеквадратичных сигналов гармоник к основной гармонике.

Спецификация ЦАП

Относительная точность

Относительная точность или линейность в конечной точке шкалы есть величина максимального отклонения функции передачи ЦАП от идеальной прямой, проведенной через крайние точки. Она измеряется после компенсации ошибок сдвига нуля и полной шкалы.

Время установления выходного напряжения

Представляет собой интервал времени, в течение которого выходное напряжение достигает заданного уровня при изменении входного кода до значения полной шкалы.

Величина импульсной помехи на аналоговом выходе со стороны цифрового входа

Представляет собой некоторую величину заряда, инжектированного на аналоговый выход при изменении входного кода. Помеха специфицируется площадью импульса в (нВ*сек).

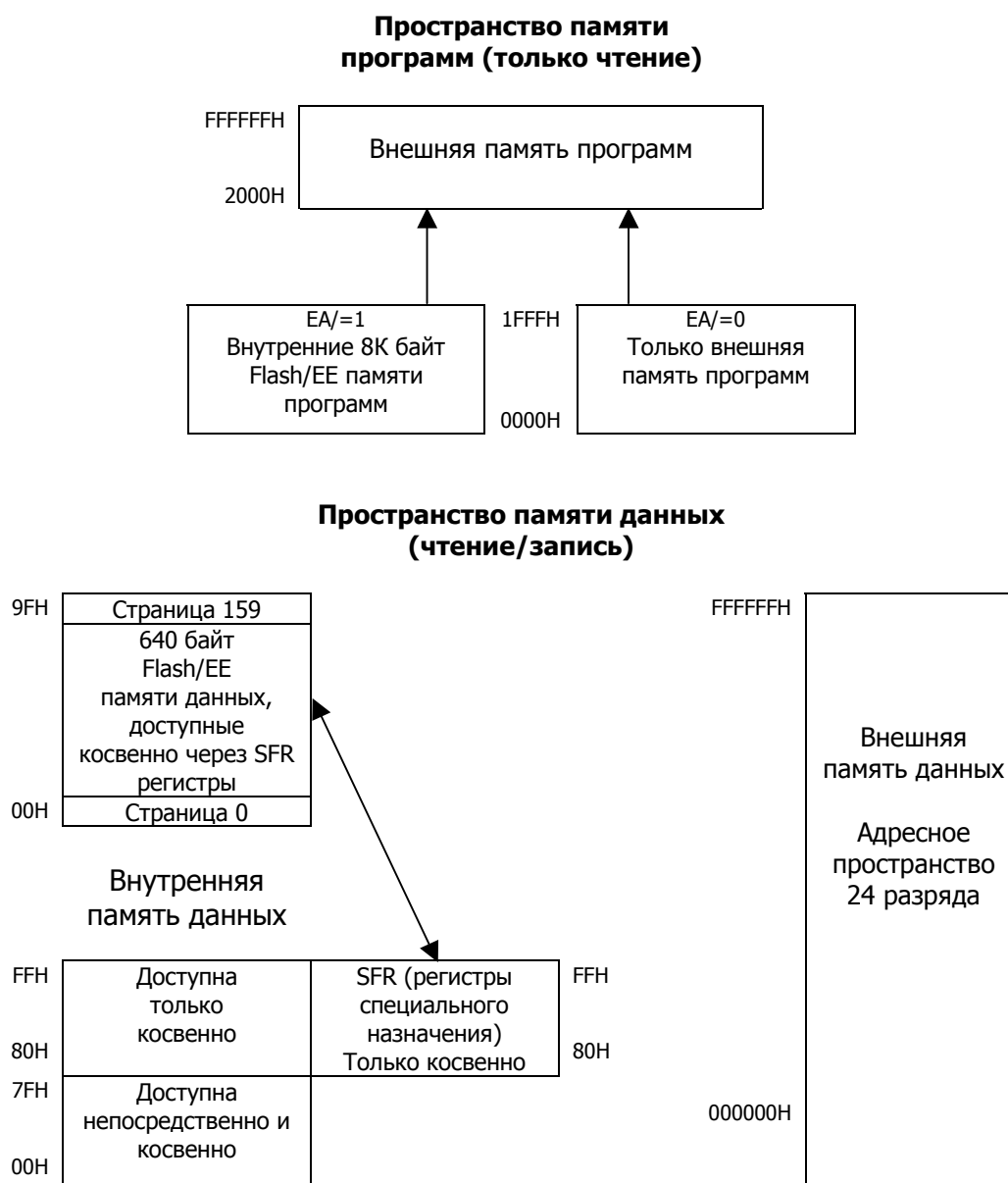
Архитектура и основные характеристики

ADuC812 представляет собой 12-битную систему сбора информации высокой степени интеграции. Ядро системы представлено высокопроизводительным 8-битным микроконтроллером совместимым 8051 MCU со встроенным не разрушаемым FLASH ЭРПЗУ и 12-битным АЦП. Для поддержки ядра системы сбора чип содержит в себе необходимые вторичные элементы. Они включают в себя Пользовательское ЭРПЗУ данных, Охранный таймер (WDT), Монитор питания (PSM),

различные параллельные и последовательные интерфейсы промышленного стандарта.

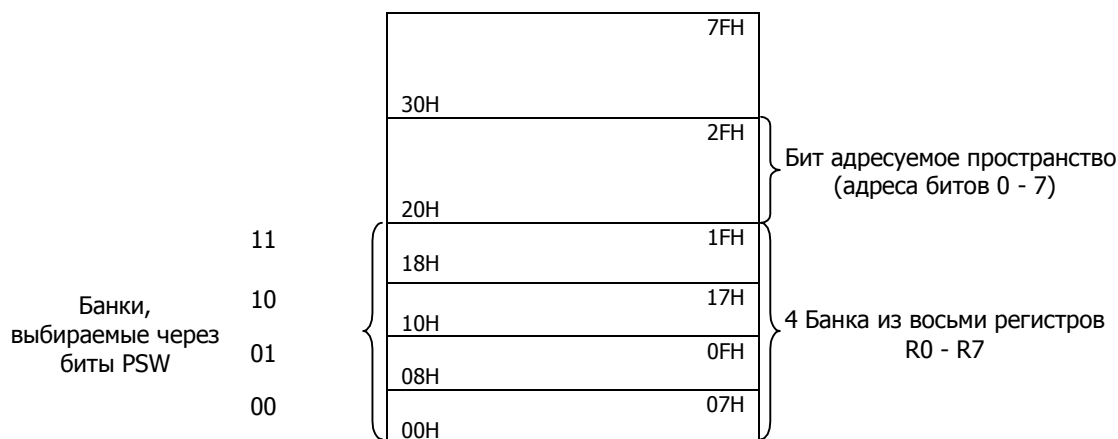
Организация памяти

Подобно 8051 ADuC812 имеет разделенное пространство памяти программ и данных, как показано на Фиг.1. Для пользователя доступны 640 байт Пользовательского ЭРПЗУ в области данных. Пользовательское ЭРПЗУ доступно косвенно через группу регистров управления в области Регистров Специального Назначения (Special Function Registers - SFR).



Фиг.1. Распределение памяти программ и данных

Нижние 128 байт внутренней памяти данных распределяются так как показано на Фиг.2.



Фиг.2. 128 нижних байт внутренней RAM



Фиг.3. Программная модель ADuC812

Пространство от 0 до 31 байта разделено на 4 банка по 8 регистров с R0 по R7. Следующие 128 бит (16 байт), над банками, формируют блок бит-адресуемой памяти с адресами 00H до 7FH.

Пространство Регистров Специального Назначения (SFR) расположено в верхних 128

байтах внутренней памяти. SFR адресуются только непосредственно и они служат интерфейсом между SPU и всей периферией. На Фиг.3. приведена модель программирования через SFR.

ЦЕПИ АЦП

Общий обзор

Блок АЦП включает в себя 8-ми канальный 5-ти микросекундный А-Ц преобразователь с однополярным питанием. Пользователю дается многоканальный мультиплексор, устройство выборки-хранения, встроенный ИОН, система калибровок и, собственно АЦП. Все компоненты блока легко управляется через 3 интерфейсных SFRa.

А-Ц преобразователь состоит из стандартного конвертера последовательного приближения и

емкостного ЦАПа. Конвертер получает аналоговые входные сигналы в диапазоне 0 .. Vref. На кристалле расположен ИОН - прецизионный блок с низким дрейфом, откалиброванный изготовителем до 2.5В. На контакте Vref внутренний ИОН может быть подавлен внешним. Внешний ИОН может быть в диапазоне от 2.3В до Vref .

Однократный или повторяющийся режимы преобразования могут выполняться программно или подачей внешнего сигнала Запуска

Преобразования на контакт 25 (CONVST/). Так же для инициирования повторяющегося процесса преобразования можно использовать сигналы Таймера2. АЦП можно установить в режим передачи данных по КПД (DMA), когда блок повторяет циклы преобразования и посылает выборки во внешнюю память данных (RAM), минуя процессор. Этот процесс может охватывать весь объем внешней памяти 16МБ.

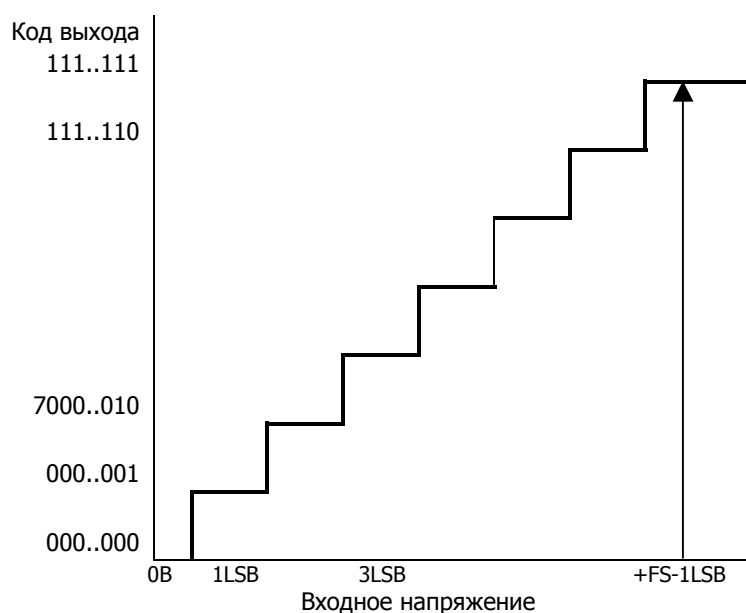
ADuC812 поставляется с заводскими калибровочными коэффициентами, которые загружаются автоматически по включению питания, обеспечивая тем самым оптимальную работу устройства. Ядро АЦП содержит внутренние регистры калибровок Смещения и Усиления, причем, обеспечено, чтобы программная процедура калибровки

пользователя подавляла заводские установки, давая тем самым минимум ошибок в конечной системе.

Если необходимо, то через АЦП можно так же преобразовать сигнал внутреннего температурного сенсора (канал-9).

Функция передачи АЦП

Диапазон входных напряжений АЦП $0..V_{ref}$. Для этого диапазона напряжений смена соответствующих кодов происходит посередине между последовательными квантами (т.е. $1/2LSB$, $3/2LSBs$, $5/2LSBs$, .., $FS-3/2LSBs$). Выходной код - прямая в двоичном коде с $1LSB=FS/4096$ или $2.5V/4096=0.61mV$ при $V_{ref}=2.5V$. Идеализированная функция передачи от 0 до V_{ref} показана на Фиг.4.



Фиг.4. Функция передачи ADuC812

SFR ИНТЕРФЕЙС К АЦП

Работа АЦП полностью контролируется 3-мя SFR :

ADCCON1 - (SFR #1 управления АЦП)

MD1	MD0	CK1	CK0	AQ1	AQ0	T2C	EXC
-----	-----	-----	-----	-----	-----	-----	-----

Регистр ADCCON1 управляет преобразованием, временем переключения, режимами преобразования и токопотреблением устройства.

Адрес SFR EFH
 Значение SFR по включению питания 20H
 Наличие битовой адресации нет

Таблица I. ADCCON1 SFR распределение бит.

Расположение бит	Мнемоника	Описание
ADCCON1.7 ADCCON1.6	MD1 MD0	(MD0 MD1) биты режима выбирают режимы работы АЦП следующим образом: MD1 MD0 Режим АЦП 0 0 Дежурный 0 1 Нормальный 1 0 Дежурный, если не выполняется цикл преобразования 1 1 Холостой, если не выполняется цикл преобразования
ADCCON1.5 ADCCON1.4	CK1 CK0	Биты деления тактовой частоты, выбирают коэффициент деления основной частоты микропроцессора для получения тактовой частоты АЦП. Цикл преобразования АЦП занимает 16 тактов, в дополнение к числу тактов переключения (см. ниже об AQ0-AQ1). Коэффициент выбирается из: CK1 CK0 Делитель для MCLK 0 0 1 0 1 2 1 0 4 1 1 8
ADCCON1.3 ADCCON1.2	AQ1 AQ0	Биты задержки переключения, выбирают время, необходимое для перезарядки УВХ при переключении мультиплексора: AQ1 AQ0 Число тактов задержки запуска АЦП 0 0 1 0 1 2 1 0 3 1 1 4 Примечание: При импедансе входного источника сигналов менее 8КОм выбор (AQ1-AQ0=00 т.е. AQ=1). В противном случае задержку увеличивают до 2,3 или 4 тактов.
ADCCON1.1	T2C	Бит запуска преобразования от Таймера2. Если бит установлен, то сигнал переполнения Таймера2 используется для запуска АЦП.
ADCCON1.0	EXC	Бит разрешения внешнего запуска. Если установлен, то контакт 23 (CONVST/) будет использоваться как сигнал запуска (активный низкий должен быть не менее 100нсек).

Замечание: Если АЦП находится в Холостом Режиме, Vref удерживается включенным, в то время как в Дежурном Режиме с целью минимизации потребления вся периферия АЦП выключена. Среднее потребление тока блоком АЦП составляет 1.6мА при Vdd=5В.

ADCCON2 - (SFR #2 управления АЦП)

ADCI	DMA	CCONV	SCONV	CS3	CS2	CS1	CS0
------	-----	-------	-------	-----	-----	-----	-----

Регистр ADCCON2 управляет выбором номера канала и режимами преобразования.

Адрес SFR	D8H
Значение SFR по включению питания	00H
Наличие битовой адресации	есть

Таблица II. ADCCON2 SFR распределение бит

Расположение бит	Мнемоника	Описание																				
ADCCON2.7	ADCI	Бит прерывания АЦП устанавливается аппаратно по концу однократного цикла преобразования АЦП или по концу передачи блока в режиме КПД. ADCI очищается аппаратно при переходе по вектору на Процедуру Обслуживания Прерывания.																				
ADCCON2.6	DMA	Бит разрешения режима КПД. Устанавливается пользователем для начала операции КПД со стороны АЦП.																				
ADCCON2.5	CCONV	Бит циклического преобразования. Устанавливается пользователем для установки АЦП в режим непрерывного циклического преобразования. В этом режиме АЦП выполняет преобразование в соответствие с типом синхронизации и конфигурацией каналов, выбранными в других SFR.																				
ADCCON2.4	SCONV	Бит запуска однократного преобразования. Устанавливается пользователем для однократного запуска АЦП. Бит сбрасывается автоматически по завершению преобразования.																				
ADCCON2.3 ADCCON2.2 ADCCON2.1 ADCCON2.0	CS3 CS2 CS1 CS0	Биты выбора входных каналов (CS3..CS0). Позволяют пользователю осуществлять выбор номера канала АЦП под управлением программы. Преобразование будет выполняться для канала, номер которого указан данными битами. В режиме КПД выбор номера канала осуществляется из ID канала, записанного во внешней памяти. CS3 CS2 CS1 CS0 CH# <table> <tr> <td>0</td> <td>n2</td> <td>n1</td> <td>n0</td> <td>Номер входного канала (n2n1n0)</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>Температурный сенсор (внутренний)</td> </tr> <tr> <td>1</td> <td>X</td> <td>X</td> <td>X</td> <td>Другие комбинации</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>Останов КПД</td> </tr> </table>	0	n2	n1	n0	Номер входного канала (n2n1n0)	1	0	0	0	Температурный сенсор (внутренний)	1	X	X	X	Другие комбинации	1	1	1	1	Останов КПД
0	n2	n1	n0	Номер входного канала (n2n1n0)																		
1	0	0	0	Температурный сенсор (внутренний)																		
1	X	X	X	Другие комбинации																		
1	1	1	1	Останов КПД																		

ADCCON3 - (SFR #3 управления АЦП)

BUSY	RSVD	RSVD	RSVD	СТУП	CAL1	CAL0	CALST
------	------	------	------	------	------	------	-------

Регистр ADCCON3 Дает индикацию занятости АЦП для прикладных программ.

Адрес SFR	F5H
Значение SFR по включению питания	00H
Наличие битовой адресации	нет

Таблица III. ADCCON3 SFR распределение бит

Расположение бит	Мнемоника	Описание
ADCCON3.7	BUSY	Бит занятости АЦП только для чтения. Устанавливается на время преобразования или калибровки АЦП. Автоматически снимается по завершению циклов преобразования или калибровки.
ADCCON3.6 ADCCON3.5 ADCCON3.4 ADCCON3.3 ADCCON3.2 ADCCON3.1 ADCCON3.0	RSVD RSVD RSVD RSVD RSVD RSVD RSVD	Биты ADCCON3.0-ADCCON3.6 - зарезервированы. Эти биты читаются нулями, их следует записывать только нулями.

Встроенный ИОН АЦП

Если используется внутренний ИОН оба контакта V_{ref} и C_{ref} должны быть заблокированы конденсаторами 100нФ на аналоговую землю AGND. Емкости следует располагать к контактам так близко, как только возможно. Для правильной работы устройства при использовании внешнего ИОН его величина должна быть в пределах от 2.3В до аналогового питания AVdd.

Если требуется, чтобы внутренний ИОН использовался вне устройства, его необходимо буферизовать от контакта V_{ref} , конденсатор 100нФ на AGND так же следует использовать.

Внутренний ИОН калибруется на заводе с точностью 2.5В +/-50мВ. Следует отметить, что внутренний ИОН будет выключен до тех пор пока либо ЦАП либо АЦП не будут включены соответствующими битами разрешения.

Калибровка

Блок АЦП имеет четыре SFR, ответственные за проведение калибровки. Эти регистры управляют логикой калибровки, всегда гарантируя оптимальную работу 12-битного АЦП. Будучи частью логики инициализации по включению питания, эти регистры автоматически и прозрачно для пользователя загружаются константами, запрограммированными при производстве устройства. Во многих приложениях использование заводских констант является достаточным, однако иногда для

компенсации ошибок коэффициента усиления и смещения нуля всей системы в целом заводские константы могут быть подавлены пользовательскими, загружаемыми в SFRs.

Обзор калибровки

Блок АЦП включает в себя аппаратуру, которая всегда гарантирует оптимальную работу АЦП. Режимы калибровки выполняются как часть заводских процедур конечного тестирования. Результаты заводской калибровки записываются в ЭРПЗУ и автоматически перегружаются в регистры калибровки при инициализации АЦП по включению питания. Во многих приложениях эта функция автокалибровки является достаточной. В противном случае, для компенсации значительных изменений эксплуатационных условий (например, тактовой частоты, диапазона входных сигналов, напряжения питания или ИОН), калибровку можно выполнить с помощью пользовательских программ.

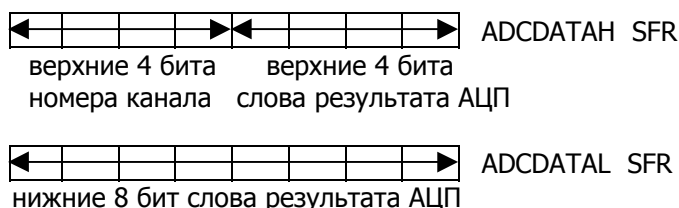
Это свойство встроенной программной калибровки позволяет пользователю ликвидировать системные ошибки (какой бы характер они не носили: внутренний или внешний) и использовать весь динамический диапазон АЦП путем подстройки диапазона входных сигналов для каждой конкретной системы. Свяжитесь с Analog Devices для получения дополнительной информации по применению процедур калибровки в ваших конкретных приложениях.

РЕЖИМЫ РАБОТЫ АЦП

Типовая работа

Как только АЦП сконфигурирован с помощью ADCCON 1-3, он начнет преобразовывать аналоговые входные сигналы и давать 12-битные

выходные коды в SFR: ADCDATAH(L). В четырех верхних битах ADCDATAH будет записан код выбора канала результата. Формат 12-разрядного слова результата показан на Фиг. 5.



Фиг. 5. Формат слова результата АЦП

Режим КПД

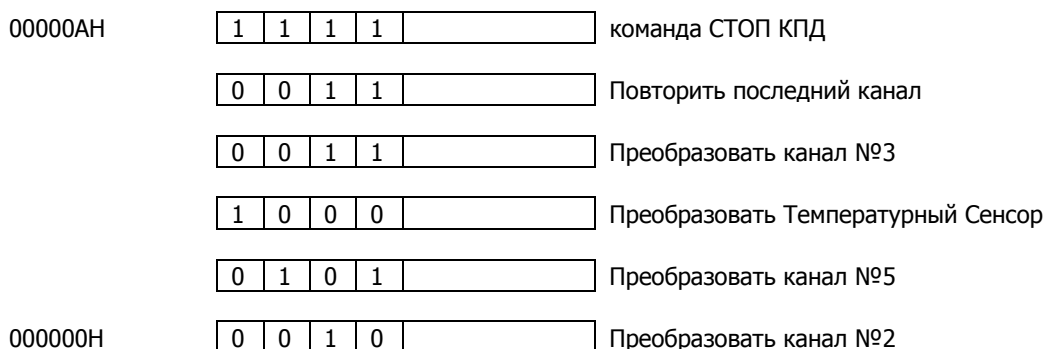
Внутренний АЦП сконструирован таким образом, что может осуществлять выборки каждые 5мксек (частота выборок 200КГц). Таким образом, от пользовательских программ требуется обслужить прерывание, прочитать с АЦП результат и записать его для дальнейшей обработки, все следует выполнить в течение 5мксек, иначе результат следующей выборки можно потерять. Для приложений, где устройство не может поддерживать высокую скорость обработки

прерываний существует режим КПД АЦП к внешней памяти.

Режим КПД разрешается битом разрешения КПД (ADCCON2.6), позволяющим АЦП выполнять циклические выборки, как при конфигурировании через ADCCON SFR. Результат каждой выборки записывается во внешнюю статическую память (SRAM), минуя микропроцессорное ядро. Этот режим работы гарантирует, что устройство может выполнять циклические выборки с максимальной скоростью.

До разрешения режима КПД пользователь сначала должен разметить внешнюю память, в которую будут записываться выборки. Разметка состоит в записи идентификаторов номеров

каналов ID (четыре старших бита) во внешней памяти. На Фиг. 6. показана типовая разметка внешней памяти.

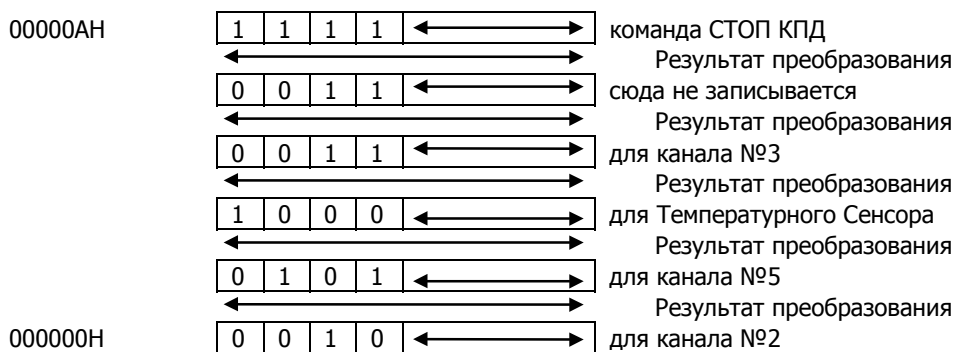


Фиг. 6. Типовая разметка внешней памяти для режима КПД

После разметки заносится значение указателя памяти КПД (DMAR, DMAN и DMAL) SFRs. В этих SFRs следует указывать стартовый адрес КПД во внешней памяти. Например, 000000H, как на Фиг. 6. 3-х байтовый стартовый адрес следует записывать в следующем порядке: DMAL, DMAN и DMAR. Конец таблицы КПД обозначается записью «1 1 1 1» в поле выбора канала. Теперь, для запуска КПД и передачи результатов в последовательные ячейки внешней памяти можно установить бит разрешения (ADCCON2.6,

DMA). Помните, режим КПД включится только тогда, когда пользователь предварительно установит время преобразования и режим запуска через SFRs ADCCON1 и 2. Конец КПД преобразования устанавливается битом прерывания АЦП в ADCCON2.7.

По окончании КПД внешняя память данных окажется загруженной новыми результатами работы АЦП, как показано на Фиг. 7. Следует отметить, что результаты разметки сохраняются.



Фиг. 7. Типовое содержание внешней памяти после окончания режима КПД

Микрооперации во время выполнения режима КПД

Во время выполнения КПД ядро свободно для выполнения кода программы, включая внутреннее обслуживание и связь. Однако, следует особо отметить, что доступ MCU к Портам2 и 3 (которые безусловно используются контроллером КПД) во время выполнения КПД блоком АЦП запрещен. Это означает, что если

даже при выполнении программы встретится обращение к Портам2 или 3, данных на внешних контактах этих портов не будет.

Как только требуемый блок данных по КПД будет набран и записан во внешнюю память, МикроКонвертер выполняет прерывание, что позволяет выполнять пост обработку данных без потери времени.

SFR ИНТЕРФЕЙС К БЛОКУ ЦАП

ADuC812 на кристалле содержит два 12-битных ЦАП. Один SFR управления и четыре SFR данных осуществляют управление работой ЦАП:

- DAC0L/DAC1L** - содержат младших 8 бит байта ЦАП
- DAC0H/DAC1H** - содержат старших 4 бита байта ЦАП
- DACCON** - содержат биты управления общего назначения для контроля ЦАП

При нормальной работе каждый ЦАП модифицируется только тогда, когда записывается младший ниббл SFR (DACxL). Можно модифицировать оба ЦАПа одновременно путем использования бита SYNC в DACCON SFR.

При 8-ми битной работе байт, записанный в регистры DACxL, автоматически направляется в верхнюю часть 12-битного регистра ЦАП. Распределение бит DACCON SFR показано в Таблице IV.

DACCON (SFR управления АЦП)

ADCI	DMA	CCONV	SCONV	CS3	CS2	CS1	CS0
------	-----	-------	-------	-----	-----	-----	-----

Адрес SFR FDH
 Значение SFR по включению питания 04H
 Наличие битовой адресации нет

Таблица IV. DACCON SFR распределение бит

Расположение бит	Мнемоника	Описание
DACCON.7	MODE	Бит устанавливает режим работы обоих ЦАП. Если = 1, то 8-ми битный (запись 8-ми битов в DACxL SFR). Если = 0, то 12-битный.
DACCON.6	RNG1	Бит выбора диапазона ЦАП1. Если = 1, то диапазон ЦАП1 0 .. Vdd. Если = 0, то диапазон ЦАП1 0 .. Vref.
DACCON.5	RNG0	Бит выбора диапазона ЦАП0. Если = 1, то диапазон ЦАП0 0 .. Vdd. Если = 0, то диапазон ЦАП0 0 .. Vref.
DACCON.4	CLR1	Бит очистки ЦАП1. Если = 1, то выход ЦАП1 соответствует коду. Если = 0, то выход ЦАП1 = 0V.
DACCON.3	CLR0	Бит очистки ЦАП0. Если = 1, то выход ЦАП0 соответствует коду. Если = 0, то выход ЦАП0 = 0V.
DACCON.2	SYNC	Бит синхронизации ЦАП0/1. Если = 1, то выходы ЦАПов изменяются сразу, как только данные попадают в регистры DACxL SFRs. Пользователь может одновременно обновить выходы обоих ЦАПов путем предварительной записи данных в DACxL/H при SYNC = 0. Выходы обоих ЦАПов одновременно обновятся теперь при установке SYNC = 1.
DACCON.1	PD1	Бит выключения ЦАП1. Если = 1, то ЦАП1 включен. Если = 0, то ЦАП1 выключен.
DACCON.0	PD0	Бит выключения ЦАП0. Если = 1, то ЦАП0 включен. Если = 0, то ЦАП0 выключен.

НЕРАЗРУШАЕМАЯ ПАМЯТЬ

Обзор FLASH памяти

ADuC812 включает в себя внутреннее ЭРПЗУ, выполненное по FLASH технологии для предоставления пользователю не разрушаемой, программируемой в системе памяти программ (кода) и данных. FLASH ЭРПЗУ - новейший тип в

технологии памяти и основывается на архитектуре одно транзисторной ячейки. Эта технология вышла из известной технологии создания ЭПЗУ и была разработана в конце 1980-х годов. FLASH память обладает гибкостью программирования в системе (изделии),

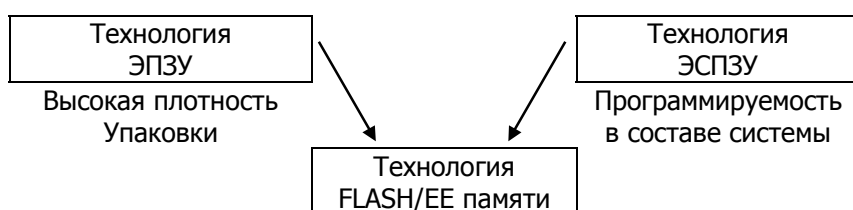
присущей электрически стираемой программируемой памяти (ЭСПЗУ) и минимальным объемом, присущем электрически программируемой памяти (ЭПЗУ) (см. Фиг. 8.).

Так как FLASH технология базируется на архитектуре одно транзисторной ячейки, то FLASH память, подобно ЭПЗУ, можно применять в изделиях, где требуется очень высокая плотность размещения памяти.

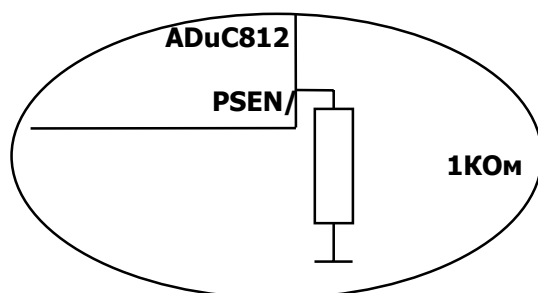
Подобно ЭСПЗУ FLASH память можно программировать в составе системы на уровне байтов, хотя прежде она должна быть стерта; причем, стирание выполняется блоками. Таким

образом, FLASH память часто и, более правильно, называют FLASH/EE память (с электрическим стиранием).

В итоге, FLASH/EE память представляет следующий шаг в направлении идеального устройства памяти, обладающего свойством не разрушаемости, программируемостью в составе системы, высокой плотностью упаковки и низкой стоимостью. FLASH/EE память в составе ADuC812 позволяет модифицировать программный код дистанционно в узлах системы без необходимости их смены в случае однократно программируемых устройств (OTP).



Фиг. 8. Разработка FLASH памяти



Фиг. 9. Программирование FLASH/EE памяти в режиме последовательной загрузки

FLASH/EE память и ADuC812

Для приложений пользователя ADuC812 предоставляет два массива FLASH/EE памяти.

8К байт внутренней FLASH/EE памяти программ для выполняемого кода без необходимости установки внешней дискретной памяти ПЗУ. Эту память можно программировать стандартными программаторами от третьих производителей. Кроме того, данную память можно программировать в составе системы, используя имеющийся режим последовательной загрузки.

640 байт внутренней FLASH/EE памяти данных. Она может использоваться как не разрушаемая блокнотная память данных общего применения. Пользователь получает доступ к данной памяти через группу из шести SFR регистров. Память можно программировать на байтовом уровне, хотя, сначала, ее следует стереть 4-х байтовыми секторами.

Использование FLASH/EE памяти программ

Эти 8К байт FLASH/EE памяти программ в нижней части 64КБ полной памяти программ, адресуемой

устройством и они используются для пользовательского кода его приложений.

Память программ может быть запрограммирована одним из 2-х способов:

Последовательная загрузка (программирование в составе системы)

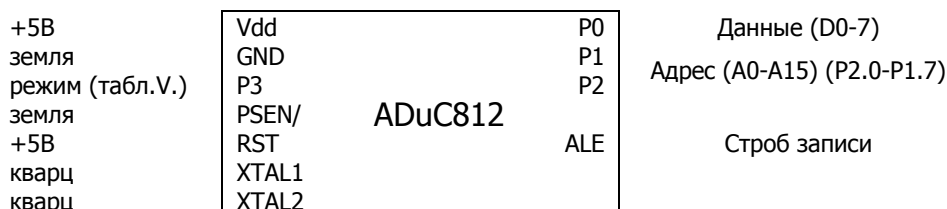
ADuC812 обладает программой загрузки кода через стандартный асинхронный последовательный порт (UART), являющейся частью заводского загрузчика. Режим последовательной загрузки включается автоматически при подаче питания, если контакт PSEN/ подключен через внешний резистор на землю, как показано на Фиг. 9. Находясь в этом режиме, пользователь может загружать код в память программ в то время, как его устройство находится в составе аппаратуры конечной системы. Программа загрузки с PC так же существует как часть системы разработки QuickStart для ADuC812. Протокол последовательной загрузки детализирован в заметках по применению ADuC812 и может быть получен на ADI.

ADuC812

Параллельное программирование

Режим параллельного программирования полностью совместим с работой стандартных программаторов FLASH/EE памяти, поставляемых третьими поставщиками. На Фиг. 10. приводится блок схема и конфигурация внешних контактов, требуемых для поддержки параллельного программирования. В этом режиме Порты P0, P1 и P2 работают как

интерфейсные магистрали внешних данных и адреса, сигнал ALE служит стробом разрешения записи, а Порт P3 используется в качестве порта общей конфигурации, задающего при параллельном программировании режимы программирования и стирания. Источник высокого напряжения (12В), необходимый для программирования FLASH/EE памяти выполнен на кристалле в виде «зарядного насоса».



Фиг. 10. Параллельное программирование FLASH/EE памяти

В Таблице V показаны режимы программирования, которые могут быть реализованы с помощью Порта З.

Таблица V. Режимы программирования FLASH/EE памяти

Контакты Порта (P3.0-P3.7)	Режим программирования
7 6 5 4 3 2 1 0	
1 X X X 0 0 0 1	Стирание FLASH программ, Стирание FLASH пользователя
1 X X X 0 0 1 1	Чтение идентификаторов производителя и кристалла
1 X X X 0 1 0 1	Программирование байта
1 X X X 0 1 1 1	Чтение байта
1 X X X 1 0 0 1	Зарезервирована
1 X X X 1 0 1 1	Зарезервирована
Остальные коды	Резервные

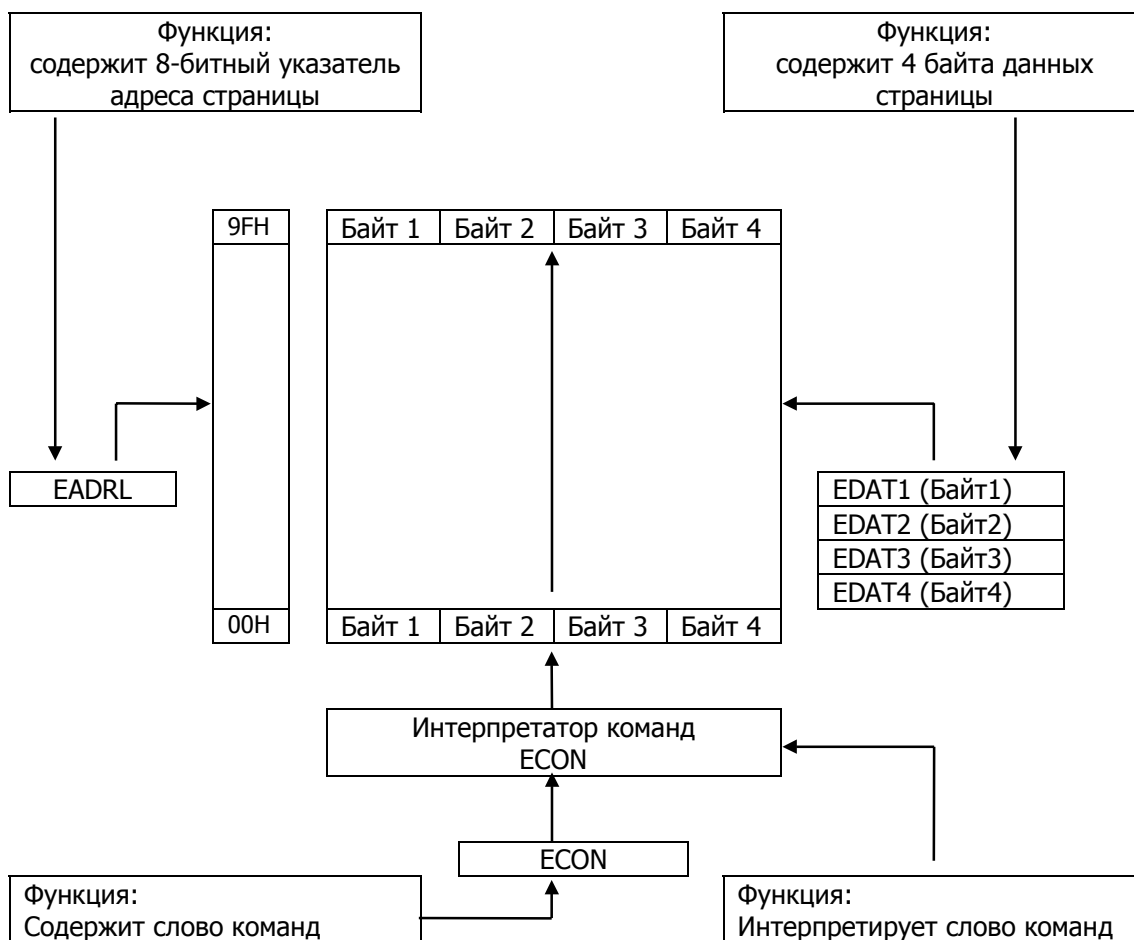
Использование памяти данных

Память данных пользователя состоит из 640 байт, которые составляют 160 (от 00H до 9FH) 4-байтовых страниц, как показано на Фиг. 11. Как для и для прочей периферии доступ к этой памяти производится через SFR регистры. Группа из 4-х регистров (EDATA1-4) используется для хранения данных 4-х байт страницы из последнего обращения. EADRL используется для хранения адреса страницы, куда будет

осуществляться доступ. И, наконец, ECON - 8-битный регистр управления, в который записывается одна из пяти команд управления доступом к памяти, допускающие различные операции чтения, записи, стирания и верификации. Блок схема регистрового интерфейса к памяти пользователя показана на Фиг. 12.



Фиг. 11. Конфигурация FLASH/EE памяти пользователя



Фиг. 12. Управление и конфигурация FLASH/EE памяти пользователя

ECON (Регистр управления памятью)

Регистр является интерпретатором команд и в него можно записать одну из пяти команд различных циклов чтения, программирования и стирания, как указано в Таблице VI.

Таблица VI. Регистр управления памятью ECON

Байт управления	Команда
01H	Команда Чтения. Результаты заносятся в регистры EDATA 1-4 со страницы, адрес которой содержится в EADRL.
02H	Команда Записи. Данные, содержащиеся в 4-х байтах (EDATA 1-4) записываются в память по адресу, указанному в EADRL. Предполагается, обозначенная для записи страница предварительно стерта.
03H	Резервная команда. Не использовать.
04H	Команда Верификации. Позволяет пользователю верифицировать данные, которые содержатся в EDATA 1-4 с уже записанными по адресу указателя EADRL. Следующее чтение ECON SFR даст ноль, если верификация правильна и не ноль, в противном случае.
05H	Команда Стирания. Приводит к стиранию 4-байтовой страницы, адрес которой указан в EADRL.
06H	Команда Стирать Все. Приводит к стиранию всей памяти пользователя 160-страниц (640 байт).
07H .. FFH	Резервные команды. Зарезервированы для дальнейшего применения.

Временные соотношения при записи и стирании FLASH/EE памяти

Средние временные соотношения для FLASH/EE памяти составляют:

Стирание всего массива (640 байт)	- 20мсек
Стирание одной страницы (4 байта)	- 20мсек
Программирование страницы (4 байта)	- 250мсек
Чтение страницы (4 байта)	- 1 командный цикл.

Использование интерфейса к FLASH/EE памяти

Как в случае памяти программ, данная память может быть запрограммирована в составе системы по байтно, при этом, конечно, она предварительно должна быть стерта страничными блоками.

Типовой цикл доступа к FLASH/EE памяти включает в себя установку адреса страницы доступа EADRL SFR, запись данных для программирования в EDATA 1-4 (в случае чтения - не записываются) и, наконец, запись команды в ECON, инициирующей действие в соответствии с Таблицей VI.

Следует отметить, что заданный режим работы инициируется по записи слова команды в ECON SFR. При этом, микропроцессорное ядро переходит в холостой режим и находится там до тех пор, пока выполнение команды не завершится.

На практике это означает, что даже если режим работы с FLASH/EE памятью инициируется 2-мя машинными циклами (инструкция MOV для записи в ECON SFR), следующая инструкция будет выполнена только после окончания цикла обслуживания FLASH/EE памяти (т.е. спустя 250мсек или 20мсек). Это означает, что ядро не будет обслуживать запросы на прерывание до тех пор, пока операция с FLASH/EE памятью не завершится, хотя функции управления ядра периферией будут выполняться, как, например, продолжение счета времени/событий Счетчиками/Таймерами на протяжении всего псевдо- холостого режима.

Стирание всей памяти

Хотя 640-байтовая FLASH/EE память пользователя с завода отгружается стертой т.е. в ячейки записан код FFH, является хорошей практикой при программировании включать цикл Стереть Всю Память при выполнении процедур ее реконфигурирования. Команда Стереть Все состоит в записи в регистр ECON SFR кода 06H, при этом инициируется стирание всех 640 байт памяти. На ассемблере 8051 это выглядит следующим образом:

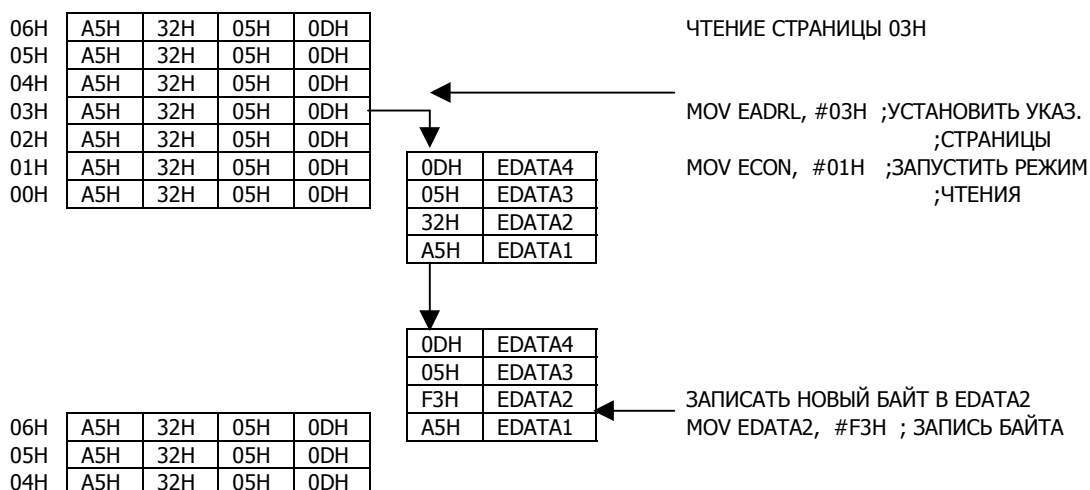
```
MOV ECON, #06H
;Команда Стереть Все
;Длительность 20мсек
```

Программирование байта

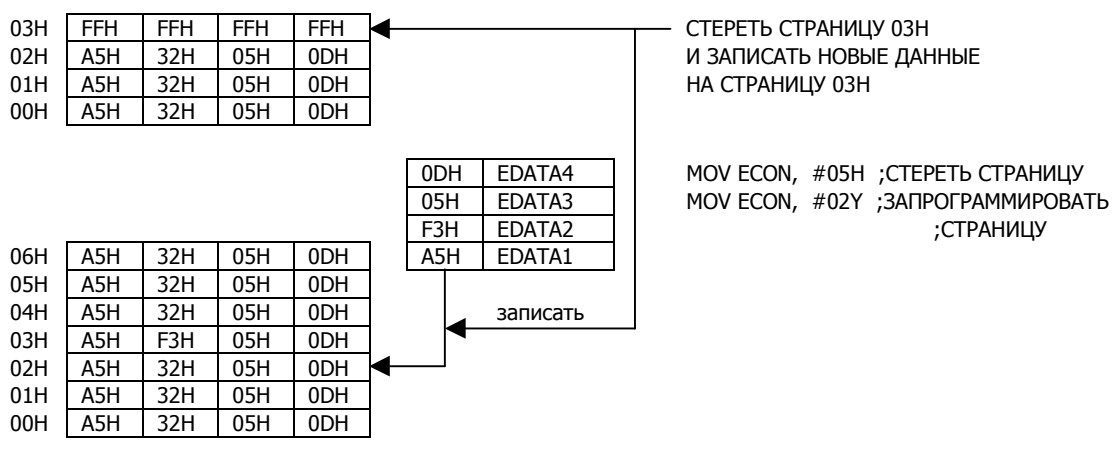
Вообще говоря, в FLASH/EE памяти запрограммировать байт можно только тогда, когда этот байт был предварительно стерт (в ячейке предварительно записано FFH). В следствие особенности архитектуры FLASH/EE памяти, стирание можно производить только для 1 страницы (минимум 4-байта) при инициировании Команды Стирания.

Пример процесса Байт Программирования показан на Фиг. 13. графически. На этом примере пользователь запишет код F3H во 2-ой байт на Странице 03H пользовательской FLASH/EE памяти.

Однако, Страница03H уже содержит данные в четырех байтах, а пользователю требуется изменить только содержимое одного байта; всю страницу следует сначала прочитать с тем, чтобы можно было стереть содержимое этой страницы без потери данных.



ADuC812



Фиг. 13. Пример программирования байта памяти пользователя

Затем новый байт записывается в EDATA SFR вслед за циклом стирания. Если попытается начать цикл Программирования (ECON=02H), не выполняя цикла Стирания (ECON=05H), то в этом случае будут модифицированы только те биты, которые содержат единицы. Т.о. для правильной записи

массива необходимо выполнить предварительное стирание его. Так же следует отметить, что циклы стирания страницы и всей памяти имеют одинаковую длительность - 20мсек. Ассемблерный код 8051 приведенного примера выглядит следующим образом:

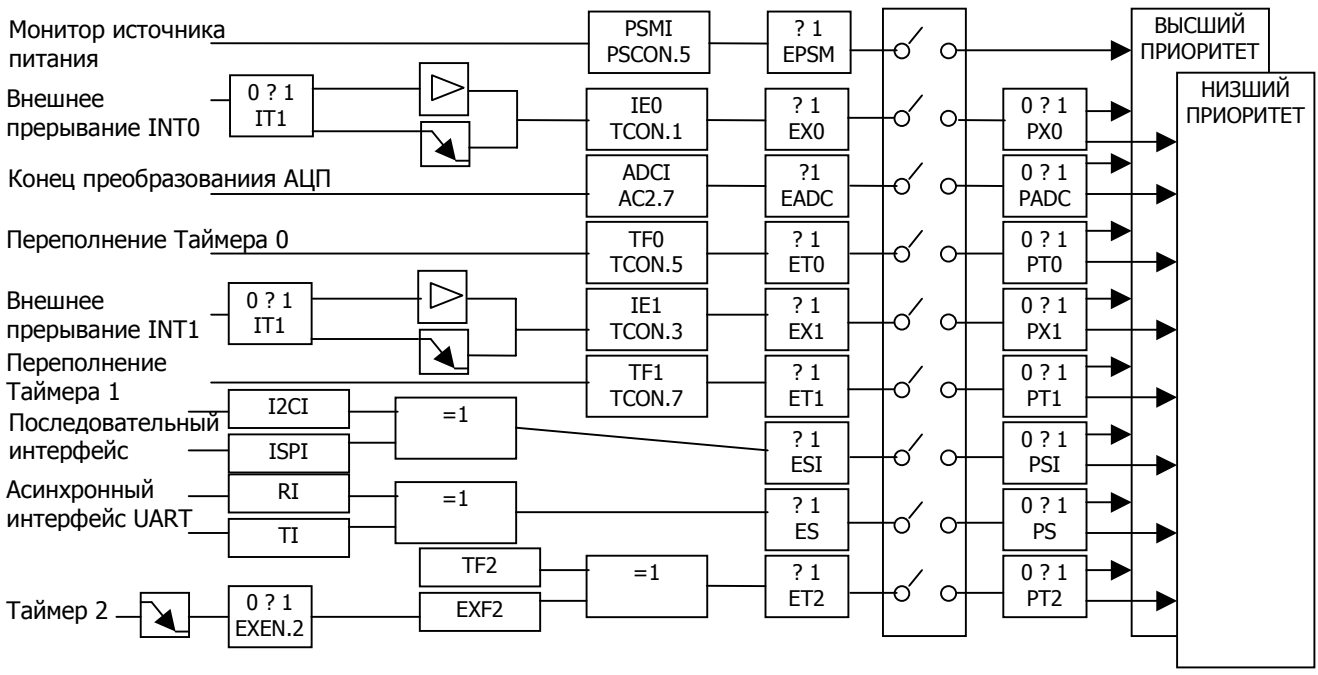
```

MOV EADRL, #03H ;Установка указателя страницы
MOV ECON, #01H ;Команда Чтения Страницы
MOV EDATA2, #0F3H ;Запись нового байта
MOV ECON, #02H ;Команда стирания страницы
MOV ECON, #05H ;Команда Программирования Страницы
    
```

Система прерывания

ADuC812 обеспечивает восемь источников и два уровня прерываний. На Фиг. 14. приводятся прерывания данного уровня в порядке убывания

приоритета, здесь же дается общий обзор источников прерываний их флагов запросов и управления. Адреса векторов прерываний приводятся в Таблице VII.



Фиг. 14. Источники запроса прерываний

Таблица VII. Адреса векторов прерываний

Прерывание	Наименование источника прерывания	Адрес вектора	Уровень приоритета
PSMI	Монитор Источника Питания	43H	1
IE0	Внешнее прерывание INT0/	03H	2
ADCI	Конец преобразования АЦП	33H	3
TF0	Переполнение Таймера 0	0BH	4
IE1	Внешнее прерывание INT1/	13H	5
TF1	Переполнение Таймера 1	1BH	6
I2CI/ISPI	Прерывание Последовательного интерфейса	3BH	7
RI/TI	Прерывание Асинхронного интерфейса UART	23H	8
TF2/EXF2	Прерывание от Таймера 2	2BH	9

Использование прерываний

Для обработки любого из прерываний следующие три шага следует предпринять.

1. Расположить процедуру обслуживания прерывания по адресу соответствующего прерывания (см. Таблицу VII).
2. Установить бит разрешения всех прерываний (EA) «1» в регистре IE SFR.

3. Установить бит разрешения индивидуального прерывания в «1» в IE или IE2 SFR.

Для разрешения и установки приоритета различных прерываний используются три регистра SFR. Распределение этих SFR приводится в Таблицах VIII, XI и X. Следует отметить, что в то время как IE и IP SFR бит адресуемые, IE2 - адресуется только байтом.

IE - (SFR разрешения прерывания)

EA	EADC	ET2	ES	ET1	EX1	ET0	EX0
----	------	-----	----	-----	-----	-----	-----

IE регистр разрешает прерывание системе и семи источникам прерываний.

Адрес SFR	A8H
Значение SFR по включению питания	00H
Наличие битовой адресации	есть

Таблица VIII. Распределение бит в регистре разрешения прерывания (IE)

Расположение бит	Мнемоника	Описание
IE.7	EA	Бит Разрешения Глобального Прерывания (EA); должен быть установлен «1» для опознания любого источника прерывания ядром. Если EA=0, все прерывания запрещены.
IE.6	EADC	Бит Разрешения Прерывания АЦП (EADC) устанавливается «1» для разрешения прерывания от АЦП.
IE.5	ET2	Бит Разрешения Прерывания по Переполнению Таймера 2 (ET2) устанавливается «1» для разрешения прерывания от Таймера 2.
IE.4	ES	Бит Разрешения Прерывания от Последовательного Порты UART (ES) устанавливается «1» для разрешения прерывания от последовательного порта.
IE.3	ET1	Бит Разрешения Прерывания по Переполнению Таймера 1 (ET1) устанавливается «1» для разрешения прерывания от Таймера 1.
IE.2	EX1	Бит Разрешения Внешнего Прерывания INT1 (EX1) устанавливается «1» для разрешения внешнего прерывания.
IE.1	ET0	Бит Разрешения Прерывания по Переполнению Таймера 0 (ET0) устанавливается «1» для разрешения прерывания от Таймера 0.
IE.0	EX0	Бит Разрешения Внешнего Прерывания INT0 (EX0) устанавливается «1» для разрешения внешнего прерывания.

IE2 - (2 SFR разрешения прерывания)

NU	NU	NU	NU	NU	NU	EPSM	ESI
----	----	----	----	----	----	------	-----

IE регистр разрешает прерывание двум дополнительным источникам прерываний.

Адрес SFR	A9H
Значение SFR по включению питания	00H
Наличие битовой адресации	нет

Таблица IX. Распределение бит в регистре разрешения прерывания 2 (IE2)

Расположение бит	Мнемоника	Описание
IE2.7	NU	Не используется
IE2.6	NU	Не используется
IE2.5	NU	Не используется
IE2.4	NU	Не используется
IE2.3	NU	Не используется
IE2.2	NU	Не используется
IE2.1	EPSM	Бит Разрешения Прерывания по Монитору Питания устанавливается «1» для разрешения прерывания от PSM.
IE2.0	ESI	Бит Разрешения Прерывания от Интерфейсов SPI/I2C (ESI) устанавливается «1» для разрешения прерывания от данных интерфейсов.

IP - (SFR приоритета прерывания)

PS1	PADC	PT2	PS	PT1	PX1	PT0	PX0
-----	------	-----	----	-----	-----	-----	-----

IP регистр устанавливает один из двух возможных уровней прерывания для различных источников прерываний. Установите соответствующий бит в 1 для присвоения высокого уровня данному прерыванию и 0 - низкого.

Адрес SFR	B8H
Значение SFR по включению питания	00H
Наличие битовой адресации	есть

Таблица IX. Распределение бит в регистре разрешения прерывания 2 (IE2)

Расположение бит	Мнемоника	Описание
IP.7	PS1	Устанавливает приоритет прерыванию от SPI/I2C
IP.6	PADC	Устанавливает приоритет прерыванию от АЦП
IP.5	PT2	Устанавливает приоритет прерыванию от Таймера 2
IP.4	PS	Устанавливает приоритет прерыванию от последовательного порта UART
IP.3	PT1	Устанавливает приоритет прерыванию от Таймера 1
IP.2	PX1	Устанавливает приоритет прерыванию от Внешнего источника INT1
IP.1	PT0	Устанавливает приоритет прерыванию от Таймера 0
IP.0	PX0	Устанавливает приоритет прерыванию от Внешнего источника INTO

Внутренние периферийные устройства

Следующие далее разделы представляют собой краткий обзор различных вторичных устройств периферии, имеющихся в составе кристалла. Ниже приводятся краткие данные для набора регистров SFR, используемых для управления этой периферией.

Параллельные порты ввода - вывода

Для обмена с внешними устройствами в составе ADuC812 имеется четыре порта общего назначения. В дополнение к функции общего

ввода вывода (В-В), некоторые порты могут управлять операциями с внешней памятью, в то время как другие мультиплексируются альтернативными функциями для периферии. В общем случае, когда периферийная функция для контакта порта разрешена, тогда данный контакт не может употребляться в качестве бита порта В-В общего назначения.

Порты 0, 2 и 3 - двунаправленные, тогда как Порт 1 служит только для ввода. Все порты содержат выходную защелку и входной буфер, порты В-В содержат так же выходной буфер

(драйвер). Доступ к контактам Портов 0 - 3 по Чтению и Записи выполняется через соответствующие регистры специального назначения. Контакты Портов 0, 2 и 3 можно конфигурировать независимо как для цифрового ввода так и для вывода через соответствующие биты SFR порта. В то время как контакты Порта 1 можно конфигурировать только либо на цифровой ввод, либо на ввод аналоговый; возможность цифрового вывода по Порту 1 не поддерживается.

Порты последовательного В-В

Асинхронный интерфейс (UART)

Последовательный порт - полнодуплексный, что означает возможность одновременной передачи и приема. Имеется буфер приема, что значит наличие возможности приема второго байта до считывания из регистра приемника предыдущего байта. Однако, если предыдущий байт не будет считан из регистра к моменту окончания приема второго байта, то один из байтов будет утерян.

Физический интерфейс к сети последовательных данных осуществляется через контакты интерфейс к сети последовательных данных осуществляется через контакты RxD(P3.0) и TxD(P3.1), а сам порт можно конфигурировать на четыре режима работы.

Последовательный периферийный интерфейс (SPI)

SPI является промышленным стандартным интерфейсом синхронного последовательного обмена, который допускает одновременно передавать и принимать синхронно восемь бит данных. Систему можно конфигурировать как Ведущую (Master) и как Ведомую (Slave).

I2C - совместимый последовательный интерфейс

ADuC812 поддерживает 2-проводный I2C-совместимый последовательный интерфейс. Этот интерфейс можно сконфигурировать как Программно Ведущий (Software Master) или как Аппаратно Ведомый (Hardware Slave) и он мультиплексируется с Портом SPI.

Таймеры - Счетчики

ADuC812 содержит три 16-битных Счетчика - Таймера: Таймер 0, Таймер 1 и Таймер 2. Аппаратура Таймеров - Счетчиков включена в состав чипа для того, чтобы высвободить микропроцессорное ядро от излишних затрат ресурса, свойственных программной эмуляции процесса счета. Каждый Счетчик - Таймер состоит из двух 8-битных

регистров THx и TLx (x=0, 1 и 2). Все три можно сконфигурировать как таймеры, либо как счетчики событий.

В режиме «Таймера» регистр TLx инкрементируется в каждом машинном цикле. Т.о. в этом режиме работу можно рассматривать как счет машинных циклов. Так как машинный цикл состоит из 12 периодов осциллятора, то максимальная скорость счета составляет 1/12 от частоты осциллятора.

В режиме «Счетчика» регистр TLx инкрементируется по перепаду 1 - 0 на соответствующем контакте микросхемы T0, T1 или T2.

Внутренние мониторы

Для минимизации порчи кода или данных в следствие возникновения катастрофических программных или внешних сбоев системы ADuC812 включает в себя две мониторинговых функции. И, опять, обе мониторинговые функции конфигурируются через регистры SFR.

Охранный таймер (WDT)

Назначение WDT - сгенерировать сигнал Сброса устройства, если ADuC812 выполняет ошибочные действия, вероятно, по причине сбоя программы, из-за электрических или электромагнитных помех. Действие WDT можно запретить очисткой бита Разрешения WDE в регистре Управления Охранным Таймером (WDCON) SFR. При разрешенном WDT таймер будет генерировать системный сброс если программа пользователя не обновляет его содержимое в интервале предустановленного времени. Интервал можно менять с помощью бит предустановки в диапазоне от 16мсек до 2048мсек через регистр SFR.

Монитор источника питания (PSM)

PSM генерирует прерывание, когда значение аналогового или цифрового напряжения питания падает ниже одной из пяти, устанавливаемой пользователем, пороговой величины (от 2.6В до 4.6В). Бит прерывания не будет очищаться в течение не менее 256мсек и до тех пор, пока напряжение источника не станет выше порогового значения.

Эта функция гарантирует, что пользователь успеет спасти рабочие регистры во избежание возможной порчи данных из-за низкого питания, и, что продолжение выполнения программного кода не продолжится до тех пор, пока не установится «безопасный» уровень питания. Монитор питания так же защищен от импульсных помех в цепи прерывания.

ADuC812

Система Разработки QuickStart

Система представляет собой функционально законченный не дорогой инструмент разработки, поддерживающий устройство ADuC812. Система включает в себя следующие (основанные на PC и Win-95 технологии) аппаратные и программные инструменты.

Разработка программного кода: Ассемблер и C - компилятор (Ограничен до 2K кода). Проверка работы: ADSIM812, Windows Симулятор. Загрузчик кода: Последовательный Загрузчик с асинхронного порта FLASH/EE памяти. Отладчик кода: Отладчик с Последовательного Порта.

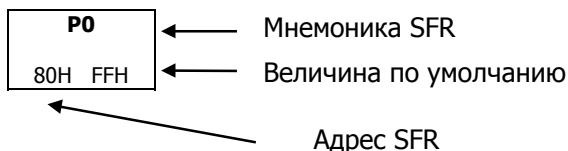
Прочее: Документация на CD-ROM, источник питания, кабель последовательного порта.

Регистры Специального Назначения (SFR)

Все регистры, исключая счетчик команд и четыре банка регистров общего назначения, располагаются в области регистров специального назначения (SFR). Эти регистры включают в себя регистры управления, конфигурирования и регистры данных, которые все обеспечивают интерфейс между SPU и внутренней периферией. На Фиг. 16. показано расположение SFR в памяти и их состояние после выполнения сброса системы.

SPICON¹ F8H 00H	DAC0L F9H 00H	DAC0H FAH 00H	DAC1L FBH 00H	DAC1H FCH 00H	DACCON FDH 00H	РЕЗЕРВ	НЕ ИСП.
B¹ F0H 00H	ADCOFSL³ F1H 00H	ADCOFSH³ F2H 20H	ADCGAINL³ F3H 00H	ADCGAINH³ F4H 0H	ADCCON3 F5H 00H	РЕЗЕРВ	SPIDAT F7H 00H
I2CCON¹ E8H 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	ADCCON1 EFH 20H
ACC¹ E0H 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ
ADCCON2¹ E0H 00H	ADCDATAL D9H 00H	ADCDATAH DAH 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ	PSMCON DFH DCH
PSW¹ D0H 00H	РЕЗЕРВ	DMAL D2H 00H	DMAH D3H 00H	DMAL D4H 00H	РЕЗЕРВ	РЕЗЕРВ	РЕЗЕРВ
T2CON¹ C8H 00H	РЕЗЕРВ	RCAP2L CAH 00H	RCAP2H CBH 00H	TL2 CCH 00H	TH2 CDH 00H	РЕЗЕРВ	РЕЗЕРВ
WDCON¹ C0H 00H	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	ETIM3 C4H C9H	РЕЗЕРВ	EDARL C6H 00H	РЕЗЕРВ
IP¹ B8H 00H	ECON B9H 00H	ETIM1 BAH 52H	ETIM2 BBH 04H	EDATA1 BCH 00H	EDATA2 BDH 00H	EDATA3 BEH 00H	EDATA4 BFH 00H
P3¹ B0H FFH	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
IE¹ A8H 00H	IE2 A9H 00H	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
P2¹ A0H FFH	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
SCON¹ 98H 00H	SBUF 99H 00H	I2CDAT 9AH 00H	I2CADD 9BH 00H	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
P1^{1,2} 90H FFH	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.	НЕ ИСП.
TCON¹ 88H 00H	TMOD 89H 00H	TLO 8AH 00H	TL1 8BH 00H	TH0 8CH 00H	TH1 8DH 04H	НЕ ИСП.	НЕ ИСП.
PO¹ 80H FFH	SP 81H 07H	DPL 82H 00H	DPH 83H 00H	DPP 84H 00H	РЕЗЕРВ	РЕЗЕРВ	PCON 87H 00H

ADuC812



Фиг. 16. Расположение Регистров Специального Назначения и их Значения по Сбросу Системы

Примечания:

¹SFRs регистры, адреса которых оканчиваются на 0H или 8H являются бит адресуемыми.

²Основной функцией Порты 1 является ввод аналоговых сигналов, по этой причине для разрешения цифрового ввода по его контактам запишите «0» в соответствующие SFR биты Порты 1.

³Калибровочные коэффициенты загружаются по включению питания как величины, записанные на заводе.

Надпись «НЕ ИСП.» указывает на не занятую позицию SFR. Не занятые позиции в адресном пространстве SFR не используются т.е. на этом месте нет никаких регистров. Не занятые позиции возвращают при чтении непредсказуемые величины. Надпись «РЕЗЕРВ» указывает на зарезервированные для внутреннего тестирования позиции в адресном пространстве SFR. Зарезервированные позиции нельзя использовать в прикладных программах пользователя.

<u>ADCCON1</u>	Регистр управления АЦП #1
ADCCON1.7	Биты управления питанием АЦП
ADCCON1.6	(выключено, норма, авто выключено, авто холостое)
ADCCON1.5	Время преобразования =
ADCCON1.4	$16/ADCCLK; ADCCLK=MCLK / (1,2,4,8)$
ADCCON1.3	Биты выбора задержки переключения
ADCCON1.2	$AQT=(1,2,3,4) / ADCCLK$
ADCCON1.1	Разрешение запуска от Таймера 2
ADCCON1.0	Разрешение внешнего запуска

<u>ADCCON3</u>	Регистр управления АЦП #3
ADCCON3.7	Флаг занятости (0=АЦП свободен)
ADCCON3.6	Бит должен содержать ноль
ADCCON3.5	Бит должен содержать ноль
ADCCON3.4	Бит должен содержать ноль
ADCCON3.3	Бит должен содержать ноль
ADCCON3.2	Бит должен содержать ноль
ADCCON3.1	Бит должен содержать ноль
ADCCON3.0	Бит должен содержать ноль

<u>ADCCON2</u>	Регистр управления АЦП #2
ADCI.7	Флаг прерывания АЦП
DMA.6	Разрешение режима КПД
CCONV.5	Бит разрешения циклического преобразования
SCONV.4	Бит однократного запуска АЦП
CS3.3	Биты выбора входного канала
CS2.2	0000-0111=ADC0-ADC7
CS1.1	1XXX=Температурный сенсор
CS0.0	1111=Команда остановки КПД (Только для режима КПД)

<u>ADCDATAH</u> <u>ADCDATAI</u>	Регистры данных АЦП
<u>DMAH</u> , <u>DMAI</u> , <u>DMAH</u>	Указатель адреса КПД
<u>ADCGAINH</u> <u>ADCGAINI</u>	Калибровочный коэффициент по усилению
<u>ADCOFSH</u> <u>ADCOFSI</u>	Калибровочный коэффициент по смещению

<u>DACCON</u>	Регистр управления ЦАПом
DACCON.7	Режим ЦАП (0=12бит, 1=8бит)
DACCON.6	Диапазон ЦАП1 (0=Vref, 1=Vdd)
DACCON.5	Диапазон ЦАП0 (0=Vref, 1=Vdd)
DACCON.4	Очистка ЦАП1 (0=0В, 1=Нормальная работа)
DACCON.3	Очистка ЦАП0 (0=0В, 1=Нормальная работа)
DACCON.2	Синхронизация ЦАПов (1=Синхронизация)
DACCON.1	Питание ЦАП1 (0=выключено, 1=включено)
DACCON.0	Питание ЦАП1 (0=выключено, 1=включено)

<u>DAC1H</u> <u>DAC1L</u>	Регистры данных ЦАП1
<u>DAC0H</u> <u>DAC0L</u>	Регистры данных ЦАП0

Фиг.17. Регистры управления и конфигурации АЦП и ЦАП

ADuC812

<u>P0</u>	Регистр Порты0 (A0-A7, D0-D7)
<u>P1</u>	Регистр Порты1 (ввод)
T2EX.1	Таймер/Счетчик 2 Триггер
T2.0	Захвата/Перезагрузки Внешний вход Таймера/Счетчика 2
<u>P2</u>	Регистр Порты2 (A8-A15, A16-A23)
<u>P3</u>	Регистр Порты3
RD.7	Строб чтения внеш. памяти данных
WR.6	Строб записи во внеш. память данных
T1.5	Внешний вход Таймера/Счетчика 1
T0.4	Внешний вход Таймера/Счетчика 0
INT1.3	Внешнее прерывание 1
INT0.2	Внешнее прерывание 0
TxD.1	Выход передатчика последовательного порта
RxD.0	Вход приемника последовательного порта
<u>SCON</u>	Регистр управления последовательной связью
SM0.7	Биты управления скоростью
SM1.6	00-8бит регистр сдвига Fosc/12 01-8бит UART Частота Переп. Таймера2/32*2
	10-9бит UART Fosc/64*2
	11-9бит UART Частота Переп. Таймера2/32*2
SM2.5	В режимах 2и3 разрешает многопроцессорную связь
REN.4	Бит разрешения приема
TB8.3	В режимах 2и3 9-й переданный бит
RB8.2	В режимах 2и3 9-й принятый бит
TI.1	Флаг прерывания передатчика
RI.0	Флаг прерывания приемника

<u>SBUF</u>	Буферный регистр последовательного порта
<u>PCON</u>	Регистр управления питанием
PCON.7	Удвоение скорости передачи
PCON.4	Запрет строба «ALE» (0=норма, 1=ALE-высокий уровень)
PCON.3	Флаг общего назначения
PCON.2	Флаг общего назначения
PCON.1	Бит выключения питания (восстанавливается при аппаратном сбросе)
PCON.0	Управление Холостым Режимом (восстанавливается при разрешенном прерывании)
<u>PSW</u>	Статусное слово программы
CY.7	Флаг переноса
AC.6	Флаг вспомогательного переноса
F0.5	Флаг общего назначения 0
RS1.4	Биты выбора банка регистров
RS0.3	Активный банк = [0, 1, 2, 3]
OV.2	Флаг переполнения
F1.1	Флаг общего назначения 1
P.0	Паритет аккумулятора
<u>DPP</u>	Указатель страницы данных
<u>DPH, DPL (DPTR)</u>	Указатель данных
<u>ACC</u>	Аккумулятор
<u>B</u>	
<u>SP</u>	Указатель стека

<u>WDCON</u>	Регистр управления WDT
PRE2.7	Биты выбора тайм-аута WDT
PRE1.6	Тайм-аут (16, 32, 64, 128, 256, 512, 1024, 2048) мсек
PRE0.5	
WDR1.3	Биты обновления WDT
WDR2.2	Устанавливать последовательно
WDS.1	Флаг статуса WDT
WDE.0	Разрешение WDT
<u>PSMCON</u>	Регистр управления монитором питания
PSMCON.7	Не используется
PSMCON.6	Бит статуса PSM (1=норма, 0=сбой)
PSMCON.5	Бит прерывания от PSM
PSMCON.4	Биты установки порога срабатывания
PSMCON.3	[4.63В, 4.37В, 3.08В, 2.93В, 2.63В]
PSMCON.2	
PSMCON.1	Слежение (1=аналог., 0=цифровое)
PSMCON.0	Управление питанием PSM (1=вкл)

<u>ECON</u>	Регистр команд управления FLASH памятью данных
<u>EADRL</u>	Регистр адреса Flash памяти данных
<u>EDATA1,</u> <u>EDATA2,</u> <u>EDATA3,</u> <u>EDATA4</u>	Регистры памяти Flash памяти данных
<u>ETIM1,</u> <u>ETIM2,</u> <u>ETIM3</u>	Регистры синхронизации Flash памяти данных

Фиг.18. Регистры SFR ядра 8051, встроенных мониторов, Flash памяти данных

<u>IE</u>	Регистр разрешения прерыв. #1
EA.7	Разрешение прерываний (0=все прерывания запрещены)
EADC.6	Разрешение прерываний от АЦП
ET2.5	Разрешение TF2/EXF2 прерываний по переполнению Таймера2
ES.4	Разрешение прерываний от последовательного порта
ET1.3	Разрешение TF1 прерываний по переполнению Таймера1
EX1.2	Разрешение внешних прерываний 1
ET0.1	Разрешение TF0 прерываний по переполнению Таймера0
EX0.0	Разрешение внешних прерываний 0
<u>IE2</u>	Регистр разрешения прерыв. #2
IE2.1	Разрешение прерываний от монитора питания PSMI
IE2.0	Разрешение прерываний от интерфейса ISPI / I2CI
<u>IP</u>	Регистр приоритета прерывания
PSI.7	Приоритет интерфейса I2CI/ISPI
PADC.6	Приоритет АЦП
PT2.5	Приоритет переполнения Таймера2
PS.4	Приоритет послед. порта RI/TI
PT1.3	Приоритет переполнения Таймера1
PX1.2	Приоритет внешнего прерывания 1
PT0.1	Приоритет переполнения Таймера0
PX0.0	Приоритет внешнего прерывания 0
<u>TMOD</u>	Регистр режима таймера
TMOD.3/.7	Бит контроля вентиля (0=игнорируются прерывания INTx)
TMOD.2/.6	Бит выбора режима Счетчик/Таймер (0=Таймер)
TMOD.1/.5	Биты выбора режима таймера
TMOD.0/.4	Биты (0-3): Таймер 1, (4-7):Таймер 2

<u>SPICON</u>	Регистр управления SPI
ISPI.7	Прерывание от SPI (устанавливается в конце передачи)
WCOL.6	Флаг ошибки по Столкновению при Записи
SPE.5	Разрешение SPI (0=запрет)
SPIM.4	Выбор режима Ведущий (0=Ведомый)
CPOL.3	Выбор полярности синхронизации
SPHA.2	Выбор фазы синхронизации (зашелкивание по перед. фронту)
SPR1.1	Биты выбора скорости обмена по SPI.
SPR0.0	Скорость= $F_{osc}/[4, 8, 32, 64]$
<u>I2CADD</u>	Адресный регистр I2C
<u>I2CDAT</u>	Регистр данных I2C

<u>TCON</u>	Регистр управления таймером
TF1.7	Флаг переполнения Таймера1 (автоматически очищается по ISR)
TR1.6	Бит управления работой Таймера1 (0=выключен, 1=включен)
TF0.5	Флаг переполнения Таймера0 (автоматически очищается по ISR)
TR0.4	Бит управления работой Таймера0 (0=выключен, 1=включен)
IE1.3	Флаг внешнего прерывания 1 (автоматически очищается по ISR)
IT1.2	Тип IE1 (0=по уровню, 1=по фронту)
IE0.1	Флаг внешнего прерывания 0 (автоматически очищается по ISR)
IT0.0	Тип IE0 (0=по уровню, 1=по фронту)
<u>TH0, TL0</u>	Регистры Таймера0
<u>TH1, TL1</u>	Регистры Таймера1
<u>T2CON</u>	Регистр управления Таймером2
TF2.7	Флаг переполнения Таймера2
EXF2.6	Внешний флаг
RCLK.5	Разрешение синхронизации приемника (0=используется Таймер1)
TCLK.4	Разрешение синхронизации передатчика (1=использ. Таймер1)
EXEN2.3	Разрешение внешнего (0=игнорировать T2EX, 1=CAP/RL)
TR2.2	Бит управления работой Таймера2 (0=выключен, 1=включен)
CNT2.1	Бит выбора режима Счетчик/Таймер (0=Таймер, 1=Счетчик)
CAP2.0	Выбор режима Захват/Перезагрузка (0=Перезагрузка, 1=Захват)
<u>TH2, TL2</u>	Регистры Таймера2
<u>RCAP2H, RCAP2L</u>	Таймер2 Захват/Перезагрузка

<u>SPIDAT</u>	Регистр данных SPI
<u>I2CCON</u>	Регистр управления I2C
MDO.7	Выход последовательных данных в режиме Ведущий
MDE.6	Бит разрешения Выхода послед. данных в режиме Ведущий
MCO.5	Бит синхронизации в режиме Ведущий
MDI.4	Вход последовательных данных в режиме Ведущий
I2CM.3	Выбор режима Ведущий
I2CRS.2	Сброс последовательного порта
I2CTX.1	Состояние направления передачи
I2CI.0	Прерывание последовательного интерфейса

Фиг. 19. SFR регистры управления Прерыванием, Таймером и Интерфейсами SPI и I2C

СПИСОК ДИАГРАММ ВРЕМЕННЫХ СООТНОШЕНИЙ
(доступны в оригинальной. версии)

Фиг. 20. Временные соотношения на Входе XTAL 1

Фиг. 21. Временные Характеристики Сигналов

Фиг. 22. Временные соотношения при выполнении цикла Чтения из Внешней Памяти Программ

Фиг. 23. Временные соотношения при выполнении цикла Чтения из Внешней Памяти Данных

Фиг. 24. Временные соотношения при выполнении цикла Записи во Внешнюю Память Данных

Фиг. 25. Временные соотношения интерфейса UART в режиме Регистра Сдвига

Фиг. 26. Временные соотношения I2C совместимого интерфейса

Фиг. 27. Временные соотношения SPI в режиме Ведущий (CPHA=1)

Фиг. 28. Временные соотношения SPI в режиме Ведущий (CPHA=0)

Фиг. 29. Временные соотношения SPI в режиме Ведомый (CPHA=1)